

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-293566

(43)Date of publication of application : 05.11.1996

(51)Int.Cl.

H01L 21/8247
H01L 29/788
H01L 29/792
G11C 16/02
G11C 16/04
H01L 27/115

(21)Application number : 08-008581

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 22.01.1996

(72)Inventor : FUKASE KENJI

(30)Priority

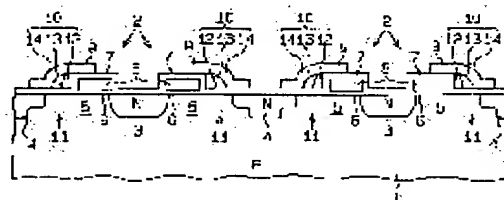
Priority number : 07 35656 Priority date : 23.02.1995 Priority country : JP

(54) SEMICONDUCTOR DEVICE, MANUFACTURE THEREOF, SPLIT GATE TRANSISTOR, MANUFACTURE THEREOF, AND NON-VOLATILE SEMICONDUCTOR MEMORY

(57)Abstract

PURPOSE: To enhance a flash EEPROM provided with split gate memory cells in degree of integration.

CONSTITUTION: A source region 3 and a drain region 4 are formed on a substrate 1, and a floating gate electrode 8 is formed on a channel region 5 sandwiched in between the regions 3 and 4 through the intermediary of an oxide film 6. A control gate electrode 9 is formed on the floating gate electrode 8 through the intermediary of an oxide film 7. A part of the control gate electrode 9 is disposed on the channel region 5 through the intermediary of the oxide films 6 and 7 to form a selection gate 10. A selection transistor 11 is formed of the selection gate. The selection gate 10 is composed of side walls 12 and 13 formed on the side walls of the floating gate electrode 8 and the oxide film 7 and a part 14 formed so as to cover the side walls 12 and 13.



LEGAL STATUS

[Date of request for examination] 25.08.1997

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3133667

[Date of registration] 24.11.2000

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-293566

(43) 公開日 平成8年(1996)11月5日

(51) Int.Cl. ⁶	識別記号	序内整理番号	F I	技術表示箇所
H 0 1 L	21/8247		H 0 1 L 29/78	3 7 1
	29/788		G 1 1 C 17/00	3 0 7 D
	29/792		H 0 1 L 27/10	4 3 4
G 1 1 C	16/02			
	16/04			

審査請求 未請求 請求項の数21 O L (全 22 頁) 最終頁に続く

(21) 出願番号 特願平8-8581

(22) 出願日 平成8年(1996)1月22日

(31) 優先権主張番号 特願平7-35656

(32) 優先日 平7(1995)2月23日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 深瀬 健二

大阪府守口市京阪本通2丁目5番5号 三

洋電機 株式会社内

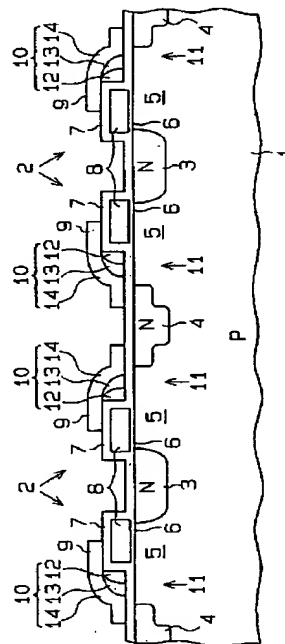
(74) 代理人 弁理士 恩田 博宣

(54) 【発明の名称】 半導体装置、半導体装置の製造方法、スプリットゲート型トランジスタ、スプリットゲート型トランジスタの製造方法、不揮発性半導体メモリ

(57) 【要約】

【課題】 スプリットゲート型メモリセルを用いたフラッシュEEPROMの高集積化を図る。

【解決手段】 基板1上にはソース領域3およびドレイン領域4が形成され、ソース領域3とドレイン領域4に挟まれたチャンネル領域5上には酸化膜6を介してフローティングゲート電極8が形成されている。フローティングゲート電極8上には酸化膜7を介してコントロールゲート電極9が形成されている。コントロールゲート電極9の一部は酸化膜6、7を介してチャンネル領域5上に配置され選択ゲート10を構成している。選択ゲート10により選択トランジスタ11が構成される。選択ゲート10は、フローティングゲート電極8および酸化膜7の側壁部に形成されたサイドウォール部12、13と、そのサイドウォール部12、13を覆うように形成された部分14とから構成される。



【特許請求の範囲】

【請求項1】 半導体基板上に形成された層の側壁部に形成された膜から成るゲート電極を備えた半導体装置。

【請求項2】 半導体基板(57)上に形成された層(58)と、その層の側壁部に形成されたサイドウォールスペーサから成るゲート電極(56)と、半導体基板とゲート電極との間に形成されたゲート絶縁膜(55)とを備えた半導体装置。

【請求項3】 半導体基板(57)上に形成された層(58)と、その層の側壁部に形成されたサイドウォールスペーサから成るゲート電極(56)と、半導体基板とゲート電極との間に形成されたゲート絶縁膜(55)と、ゲート電極の下部の半導体基板上に形成されたチャンネル領域(54)と、チャンネル領域を挟んでその両側に形成されたソース・ドレイン領域(52、53)とを備えた半導体装置。

【請求項4】 半導体基板(57)上に層(58)を形成する工程と、半導体基板上にゲート絶縁膜(55)を形成する工程と、上記の工程で形成されたデバイスの上に導電性材料膜を形成し、その導電性材料膜をエッチバックすることで、前記層の側壁部にサイドウォールスペーサから成るゲート電極(56)を形成する工程とを備えた半導体装置の製造方法。

【請求項5】 半導体基板(57)上に不純物拡散源層(58)を形成する工程と、半導体基板および不純物拡散源層の上に絶縁膜(55)を形成する工程と、上記の工程で形成されたデバイスの上に導電性材料膜を形成し、その導電性材料膜をエッチバックすることで、前記不純物拡散源層の側壁部にサイドウォールスペーサから成るゲート電極(56)を形成する工程と、不純物拡散源層からの不純物拡散により半導体基板上にソース・ドレイン領域(53)を形成する工程と、不純物拡散源層およびゲート電極をイオン注入用マスクとして半導体基板上に不純物イオンを注入してソース・ドレイン領域(52)を形成する工程とを備えた半導体装置の製造方法。

【請求項6】 半導体基板(57)上に形成された層(58)と、その層の側壁部に形成された膜から成るゲート電極(62)と、半導体基板とゲート電極との間に形成されたゲート絶縁膜(55)とを備えた半導体装置。

【請求項7】 半導体基板(57)上に層(58)を形成する工程と、

半導体基板上にゲート絶縁膜(55)を形成する工程と、

上記の工程で形成されたデバイスの上に導電性材料膜を形成し、その導電性材料膜を異方性エッチングすることで、前記層の側壁部にゲート電極(62)を形成する工程とを備えた半導体装置の製造方法。

【請求項8】 半導体基板(57)上に不純物拡散源層(58)を形成する工程と、

半導体基板および不純物拡散源層の上に絶縁膜(55)を形成する工程と、上記の工程で形成されたデバイスの上に導電性材料膜を形成し、その導電性材料膜を異方性エッチングすることで、前記不純物拡散源層の側壁部にゲート電極(62)を形成する工程と、

不純物拡散源層からの不純物拡散により半導体基板上にソース・ドレイン領域(53)を形成する工程と、不純物拡散源層およびゲート電極をイオン注入用マスクとして半導体基板上に不純物イオンを注入してソース・ドレイン領域(52)を形成する工程とを備えた半導体装置の製造方法。

【請求項9】 フローティングゲート電極(8)の側壁部に形成されたサイドウォールスペーサ(12、13)と、そのサイドウォールスペーサを覆うように形成された部分(14)とから成る選択ゲート(10)を有するコントロールゲート電極(9)を備えたスプリットゲート型トランジスタ。

【請求項10】 半導体基板(1)上に形成されたフローティングゲート電極(8)と、フローティングゲート電極の側壁部に形成されたサイドウォールスペーサ(12、13)と、そのサイドウォールスペーサを覆うように形成された部分(14)とから成る選択ゲート(10)を有するコントロールゲート電極(9)と、選択ゲートに対応する位置の半導体基板上に形成されたドレイン領域(4)またはソース領域とを備えたスプリットゲート型トランジスタ。

【請求項11】 半導体基板(1)上に形成されたフローティングゲート電極(8)と、フローティングゲート電極(8)の側壁部に形成された厚膜部(71)と、半導体基板上に形成された薄膜部(72)とから成る選択ゲート(10)を有するコントロールゲート電極(9)と、選択ゲートの薄膜部の直下を含む半導体基板上に形成されたドレイン領域(4)またはソース領域とを備えたスプリットゲート型トランジスタ。

【請求項12】 半導体基板(1)上に形成されたフローティングゲート電極(8)と、フローティングゲート電極(8)の側壁部に形成された厚膜部(71)と、半導体基板上に形成された薄膜部(72)とから成る選択ゲート(10)を有するコント

ロールゲート電極(9)と、
 選択ゲートの厚膜部の側壁部に形成されたサイドウォールスペーサ(81、82)と、
 選択ゲートの厚膜部およびサイドウォールスペーサに対応する位置の半導体基板上に形成されたドレイン領域(4)またはソース領域とを備えたスプリットゲート型トランジスタ。

【請求項13】 半導体基板(1)上にフローティングゲート電極(8)を形成する工程と、
 フローティングゲート電極の側壁部にサイドウォールスペーサ(12、13)を形成する工程と、そのサイドウォールスペーサは導電性材料から成ることと、
 サイドウォールスペーサとその上に形成された導電性材料膜(24)とから成る厚膜部(15)と、導電性材料膜(24)だけから成る薄膜部(16)とを備えた選択ゲート(10)を有するコントロールゲート電極(9)を形成する工程と、
 フローティングゲート電極をイオン注入用マスクとして半導体基板上に不純物イオンを注入してソース領域(3)またはドレイン領域を形成する工程と、
 コントロールゲート電極をイオン注入用マスクとして半導体基板上に不純物イオンを注入してドレイン領域(4)またはソース領域を形成する際に、選択ゲートの薄膜部を不純物イオンが貫通するようにイオン注入条件を設定する工程とを備えたスプリットゲート型トランジスタの製造方法。

【請求項14】 半導体基板(1)上に第1の絶縁膜(6)を形成する工程と、
 第1の絶縁膜上にフローティングゲート電極(8)を形成する工程と、
 フローティングゲート電極上に第2の絶縁膜(7)を形成する工程と、
 上記の工程で形成されたデバイスの上に導電性材料膜(22、23)を形成し、その導電性材料膜をエッチバックすることで、フローティングゲート電極の側壁部にサイドウォールスペーサ(12、13)を形成する工程と、

上記の工程で形成されたデバイスの上に導電性材料膜(24)を形成し、その導電性材料膜を異方性エッチングすることで、サイドウォールスペーサとその上に形成された導電性材料膜とから成る厚膜部(15)と、導電性材料膜(24)だけから成る薄膜部(16)とを備えた選択ゲート(10)を有するコントロールゲート電極(9)を形成する工程と、
 フローティングゲート電極をイオン注入用マスクとして半導体基板上に不純物イオンを注入してソース領域(3)またはドレイン領域を形成する工程と、
 コントロールゲート電極をイオン注入用マスクとして半導体基板上に不純物イオンを注入してドレイン領域(4)またはソース領域を形成する際に、選択ゲートの薄膜部

を不純物イオンが貫通するようにイオン注入条件を設定する工程とを備えたスプリットゲート型トランジスタの製造方法。

【請求項15】 半導体基板(1)上にフローティングゲート電極(8)を形成する工程と、
 フローティングゲート電極上に選択ゲート(10)を有するコントロールゲート電極(9)を形成する工程と、
 コントロールゲート電極をイオン注入用マスクとして半導体基板上に不純物イオンを注入してドレイン領域(4)またはソース領域を形成する際に、選択ゲートの薄膜部(72)を不純物イオンが貫通するようにイオン注入条件を設定する工程とを備えたスプリットゲート型トランジスタの製造方法。

【請求項16】 半導体基板(1)上に第1の絶縁膜(6)を形成する工程と、
 第1の絶縁膜上にフローティングゲート電極(8)を形成する工程と、
 フローティングゲート電極上に第2の絶縁膜(7)を形成する工程と、
 第2の絶縁膜上に選択ゲート(10)を有するコントロールゲート電極(9)を形成する工程と、その選択ゲートは、フローティングゲート電極の側壁部に形成された厚膜部(71)と、半導体基板上に形成された薄膜部(72)とから成ることと、
 フローティングゲート電極をイオン注入用マスクとして半導体基板上に不純物イオンを注入してソース領域(3)またはドレイン領域を形成する工程と、
 コントロールゲート電極をイオン注入用マスクとして半導体基板上に不純物イオンを注入してドレイン領域(4)またはソース領域を形成する際に、選択ゲートの薄膜部を不純物イオンが貫通するようにイオン注入条件を設定する工程とを備えたスプリットゲート型トランジスタの製造方法。

【請求項17】 半導体基板(1)上にフローティングゲート電極(8)を形成する工程と、
 フローティングゲート電極上に選択ゲート(10)を有するコントロールゲート電極(9)を形成する工程と、
 選択ゲートの段差のコーナー部にサイドウォールスペーサ(81、82)を形成する工程と、
 コントロールゲート電極をイオン注入用マスクとして半導体基板上に不純物イオンを注入してドレイン領域(4)またはソース領域を形成する際に、サイドウォールスペーサおよび選択ゲートの厚膜部(71)を不純物イオンが貫通しないようにイオン注入条件を設定する工程とを備えたスプリットゲート型トランジスタの製造方法。

【請求項18】 半導体基板(1)上にフローティングゲート電極(8)を形成する工程と、
 選択ゲート(10)を有するコントロールゲート電極(9)を形成する工程と、その選択ゲートは、フローティングゲート電極の側壁部に形成された厚膜部(71)

と、半導体基板上に形成された薄膜部(72)とから成ることと、

選択ゲートの厚膜部の側壁部にサイドウォールスペーサ(81、82)を形成する工程と、

フローティングゲート電極をイオン注入用マスクとして半導体基板に不純物イオンを注入してソース領域(3)またはドレイン領域を形成する工程と、

コントロールゲート電極をイオン注入用マスクとして半導体基板に不純物イオンを注入してドレイン領域(4)またはソース領域を形成する際に、サイドウォールスペーサおよび選択ゲートの厚膜部を不純物イオンが貫通しないようにイオン注入条件を設定する工程とを備えたスプリットゲート型トランジスタの製造方法。

【請求項19】 半導体基板(1)上に第1の絶縁膜(6)を形成する工程と、

第1の絶縁膜上にフローティングゲート電極(8)を形成する工程と、

フローティングゲート電極上に第2の絶縁膜(7)を形成する工程と、

第2の絶縁膜上に選択ゲート(10)を有するコントロールゲート電極(9)を形成する工程と、その選択ゲートは、フローティングゲート電極の側壁部に形成された厚膜部(71)と、半導体基板上に形成された薄膜部(72)とから成ることと、

選択ゲートの厚膜部の側壁部にサイドウォールスペーサ(81、82)を形成する工程と、

フローティングゲート電極をイオン注入用マスクとして半導体基板に不純物イオンを注入してソース領域(3)またはドレイン領域を形成する工程と、

コントロールゲート電極をイオン注入用マスクとして半導体基板に不純物イオンを注入してドレイン領域(4)またはソース領域を形成する際に、サイドウォールスペーサおよび選択ゲートの厚膜部を不純物イオンが貫通しないようにイオン注入条件を設定する工程とを備えたスプリットゲート型トランジスタの製造方法。

【請求項20】 請求項8～12のいずれか1項に記載のスプリットゲート型トランジスタをメモリセルとして用いる不揮発性半導体メモリ。

【請求項21】 請求項13～19のいずれか1項に記載のスプリットゲート型トランジスタの製造方法によって製造されたスプリットゲート型トランジスタをメモリセルとして用いる不揮発性半導体メモリ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置、半導体装置の製造方法、スプリットゲート型トランジスタ、スプリットゲート型トランジスタの製造方法、不揮発性半導体メモリに関するものである。

【0002】

【従来の技術】近年、FRAM(Ferro-electric Rando

m Access Memory)、EPROM(Erasable and Programmable Read Only Memory)、EEPROM(Electrically Erasable and Programmable Read Only Memory)などの半導体不揮発性メモリが注目されている。EPROMやEEPROMでは、フローティングゲート電極に電荷を蓄積し、電荷の有無による閾値電圧の変化をコントロールゲート電極で検出することで、データの記憶を行わせるようになっている。また、EEPROMには、メモリセルアレイ全体でデータの消去を行うか、あるいは、メモリセルアレイを任意のブロックに分けてその各ブロック単位でデータの消去を行うフラッシュEEPROMがある。

【0003】フラッシュEEPROMを構成するメモリセル(メモリセルトランジスタ)は、スタックゲート型とスプリットゲート型に大きく分類される。図22に、スタックゲート型メモリセル(スタックゲート型トランジスタ)の断面構造を示す。P型単結晶シリコン基板101上にはN型のソース領域102およびドレイン領域103が形成されている。ソース領域102とドレイン領域103に挟まれたチャネル領域104上には、シリコン酸化膜105を介してフローティングゲート電極106が形成されている。フローティングゲート電極106上にはシリコン酸化膜107を介してコントロールゲート電極108が形成されている。ここで、各ゲート電極106、108の図面左右方向の寸法は同一で、相互にずれることなく積み重ねられた配置になっている。一方、図面前後方向において、コントロールゲート電極108は長く延長されて各フローティングゲート電極106で共通となっており、そのコントロールゲート電極108でワード線が構成される。

【0004】このように構成されたスタックゲート型メモリセルを用いたフラッシュEEPROMは、個々のメモリセルにそれ自身を選択する機能がない。そのため、データ消去時にフローティングゲート電極106から電荷を引き抜く際、電荷を過剰に抜き過ぎると、メモリセルを非導通状態にするための所定の電圧(=0V)をコントロールゲート電極108に印加したときでも、チャネル領域104が導通状態になる。その結果、そのメモリセルが常に導通状態になり、記憶されたデータの読み出しが不能になるという問題、いわゆる過剰消去の問題が起る。過剰消去を防止するには、消去手順に工夫が必要で、メモリデバイスの周辺回路で消去手順を制御するか、またはメモリデバイスの外部回路で消去手順を制御する必要がある。

【0005】このようなスタックゲート型メモリセルにおける過剰消去の問題を回避するために開発されたのが、スプリットゲート型メモリセルである。図23に、スプリットゲート型メモリセル(スプリットゲート型トランジスタ)の断面構造を示す。P型単結晶シリコン基板101上にはN型のソース領域102およびドレイン

領域103が形成されている。ソース領域102とドレイン領域103に挟まれたチャネル領域104上には、薄いシリコン酸化膜105を介してフローティングゲート電極111が形成されている。フローティングゲート電極111上には厚いシリコン酸化膜112を介してコントロールゲート電極113が形成されている。ここで、コントロールゲート電極113の一部は、シリコン酸化膜105、112を介してチャネル領域104上に配置され、選択ゲート114を構成している。その選択ゲート114と、ソース領域102およびドレイン領域103とにより、選択トランジスタ115が構成される。すなわち、スプリットゲート型メモリセルは、各電極111、113と各領域102、103から構成されるトランジスタと、選択トランジスタ115とが直列に接続された構成となっている。

【0006】このように構成されたスプリットゲート型メモリセルを用いたフラッシュEEPROMは、選択トランジスタ115が設けられているため、個々のメモリセルにそれぞれ自身を選択する機能がある。つまり、データ消去時にフローティングゲート電極111から電荷を引き抜く際に電荷を過剰に抜き過ぎても、選択ゲート114によってチャネル領域104を非導通状態にすることができる。従って、過剰消去が発生したとしても、選択トランジスタ115によってメモリセルの導通・非導通を制御することができ、過剰消去が問題にならない。すなわち、メモリセルの内部に設けられた選択トランジスタ115によって、そのメモリセル自身の導通・非導通を選択することができる。

【0007】尚、このようなスプリットゲート型メモリセルを用いたフラッシュEEPROMは、WO92/18980に開示されている。ちなみに、図23に示すスプリットゲート型メモリセルにおいて、ソース領域102をドレイン領域とし、ドレイン領域103をソース領域としたフラッシュEEPROMは、USP-5029130に開示されている。

【0008】

【発明が解決しようとする課題】ところで、スプリットゲート型メモリセルを製造する際には、各ゲート電極111、113をイオン注入用マスクとして用い、シリコン基板101に不純物をイオン注入することで、各領域102、103を形成する。従って、ドレイン領域103の位置は、コントロールゲート電極113における選択ゲート114の端部によって規定される。また、ソース領域102の位置は、フローティングゲート電極111の端部によって規定される。

【0009】ここで、各ゲート電極111、113はそれぞれ別々に、電極材料膜堆積→リソグラフィ→エッチングという工程を経て形成される。そのため、各ゲート電極111、113の位置はリソグラフィの重ね合わせ工程で決定される。つまり、スプリットゲート型メモリ

セルでは、各ゲート電極111、113と各領域102、103の位置決定にリソグラフィの重ね合わせ工程が関与し、自己整合（セルフアライン）構造になっていない。

【0010】従って、図24(a)に示すように、コントロールゲート電極113を形成するためのエッチング用マスク121の位置が各メモリセル122、123に対してずれている場合、コントロールゲート電極113の形状は各メモリセル122、123毎に異なったものになる。

【0011】そして、コントロールゲート電極113をイオン注入用マスクとして用い、シリコン基板101に不純物をイオン注入することで、ドレイン領域103が形成される。その結果、図24(b)に示すように、各メモリセル122、123における選択トランジスタ115のチャネル長 L_1 、 L_2 が異なったものになってしまう。すなわち、メモリセル122のように、コントロールゲート電極113に対して選択ゲート114の寸法が小さい場合には、選択トランジスタ115のチャネル長 L_1 が短くなる。また、メモリセル123のように、コントロールゲート電極113に対して選択ゲート114の寸法が大きい場合には、選択トランジスタ115のチャネル長 L_2 が長くなる。

【0012】選択トランジスタ115のチャネル長 L_2 が長くなった場合には、チャネル領域104の抵抗が高くなるため、フローティングゲート111への電荷の注入に時間がかかり、データの書き込み特性が悪化するという問題がある。また、選択トランジスタ115のチャネル長 L_1 が短くなった場合には、チャネル領域104の抵抗が低くなるため、選択トランジスタ115が常にオン状態となり、メモリセルとして動作しなくなるという問題がある。

【0013】このため、スプリットゲート型メモリセルの設計に当たっては、各ゲート電極111、113の加工線幅寸法精度だけでなく、各ゲート電極111、113の重ね合わせ寸法精度をも考慮して、各ゲート電極111、113と各領域102、103の位置関係に予め余裕を持たせておく必要がある。しかしながら、近年の半導体微細加工技術においては、0.5 μ m前後の線幅の細線を加工する場合、加工線幅寸法精度は0.05 μ m程度まで得られるのに対し、重ね合わせ寸法精度は0.1~0.2 μ m程度までしか得られない。つまり、スプリットゲート型メモリセルでは、各ゲート電極111、113の重ね合わせ寸法精度の低さがネックとなって微細化が妨げられるという問題がある。

【0014】このように、スプリットゲート型メモリセルを用いるフラッシュEEPROMには、過剰消去の問題はないものの、高集積化が困難であるという問題がある。ところで、近年、MOS (Metal Oxide Semiconductor) トランジスタ、MIS (Metal Insulator Semicon

10

20

30

40

50

nductor) トランジスタ、IGFET (Insulated Gate Field Effect Transistor)、JFET (Junction Field Effect Transistor) においても、さらなる微細化が求められている。

【0015】本発明は上記問題点を解決するためになされたものであって、以下の目的を有するものである。

1) 微細なトランジスタを備えた半導体装置およびその製造方法を提供する。

【0016】2) 微細なIGFETを備えた半導体装置およびその製造方法を提供する。

3) 微細なスプリットゲート型トランジスタおよびその製造方法を提供する。

4) 過剰消去の問題がなく高集積化が可能な不揮発性半導体メモリを提供する。

【0017】

【課題を解決するための手段】請求項1に記載の発明は、半導体基板上に形成された層の側壁部に形成された膜から成るゲート電極を備えたことをその要旨とする。

【0018】請求項2に記載の発明は、半導体基板(57)上に形成された層(58)と、その層の側壁部に形成されたサイドウォールスペーサから成るゲート電極(56)と、半導体基板とゲート電極との間に形成されたゲート絶縁膜(55)とを備えたことをその要旨とする。

【0019】請求項3に記載の発明は、半導体基板(57)上に形成された層(58)と、その層の側壁部に形成されたサイドウォールスペーサから成るゲート電極(56)と、半導体基板とゲート電極との間に形成されたゲート絶縁膜(55)と、ゲート電極の下部の半導体基板上に形成されたチャネル領域(54)と、チャネル領域を挟んでその両側に形成されたソース・ドレイン領域(52、53)とを備えたことをその要旨とする。

【0020】請求項4に記載の発明は、半導体基板(57)上に層(58)を形成する工程と、半導体基板上にゲート絶縁膜(55)を形成する工程と、上記の工程で形成されたデバイスの上に導電性材料膜を形成し、その導電性材料膜をエッチバックすることで、前記層の側壁部にサイドウォールスペーサから成るゲート電極(56)を形成する工程とを備えたことをその要旨とする。

【0021】請求項5に記載の発明は、半導体基板(57)上に不純物拡散源層(58)を形成する工程と、半導体基板および不純物拡散源層の上に絶縁膜(55)を形成する工程と、上記の工程で形成されたデバイスの上に導電性材料膜を形成し、その導電性材料膜をエッチバックすることで、前記不純物拡散源層の側壁部にサイドウォールスペーサから成るゲート電極(56)を形成する工程と、不純物拡散源層からの不純物拡散により半導体基板上にソース・ドレイン領域(53)を形成する工程と、不純物拡散源層およびゲート電極をイオン注入用マスクとして半導体基板に不純物イオンを注入してソー

ス・ドレイン領域(52)を形成する工程とを備えたことをその要旨とする。

【0022】請求項6に記載の発明は、半導体基板(57)上に形成された層(58)と、その層の側壁部に形成された膜から成るゲート電極(62)と、半導体基板とゲート電極との間に形成されたゲート絶縁膜(55)とを備えたことをその要旨とする。

【0023】請求項7に記載の発明は、半導体基板(57)上に層(58)を形成する工程と、半導体基板上にゲート絶縁膜(55)を形成する工程と、上記の工程で形成されたデバイスの上に導電性材料膜を形成し、その導電性材料膜を異方性エッチングすることで、前記層の側壁部にゲート電極(62)を形成する工程とを備えたことをその要旨とする。

【0024】請求項8に記載の発明は、半導体基板(57)上に不純物拡散源層(58)を形成する工程と、半導体基板および不純物拡散源層の上に絶縁膜(55)を形成する工程と、上記の工程で形成されたデバイスの上に導電性材料膜を形成し、その導電性材料膜を異方性エッチングすることで、前記不純物拡散源層の側壁部にゲート電極(62)を形成する工程と、不純物拡散源層からの不純物拡散により半導体基板上にソース・ドレイン領域(53)を形成する工程と、不純物拡散源層およびゲート電極をイオン注入用マスクとして半導体基板に不純物イオンを注入してソース・ドレイン領域(52)を形成する工程とを備えたことをその要旨とする。

【0025】請求項9に記載の発明は、フローティングゲート電極(8)の側壁部に形成されたサイドウォールスペーサ(12、13)と、そのサイドウォールスペーサを覆うように形成された部分(14)とから成る選択ゲート(10)を有するコントロールゲート電極(9)とを備えたことをその要旨とする。

【0026】請求項10に記載の発明は、半導体基板(1)上に形成されたフローティングゲート電極(8)と、フローティングゲート電極の側壁部に形成されたサイドウォールスペーサ(12、13)と、そのサイドウォールスペーサを覆うように形成された部分(14)とから成る選択ゲート(10)を有するコントロールゲート電極(9)と、選択ゲートに対応する位置の半導体基板上に形成されたドレイン領域(4)またはソース領域とを備えたことをその要旨とする。

【0027】請求項11に記載の発明は、半導体基板(1)上に形成されたフローティングゲート電極(8)と、フローティングゲート電極(8)の側壁部に形成された厚膜部(71)と、半導体基板上に形成された薄膜部(72)とから成る選択ゲート(10)を有するコントロールゲート電極(9)と、選択ゲートの薄膜部の直下を含む半導体基板上に形成されたドレイン領域(4)またはソース領域とを備えたことをその要旨とする。

【0028】請求項12に記載の発明は、半導体基板

(1) 上に形成されたフローティングゲート電極(8)と、フローティングゲート電極(8)の側壁部に形成された厚膜部(71)と、半導体基板上に形成された薄膜部(72)とから成る選択ゲート(10)を有するコントロールゲート電極(9)と、選択ゲートの厚膜部の側壁部に形成されたサイドウォールスペーサ(81, 82)と、選択ゲートの厚膜部およびサイドウォールスペーサに対応する位置の半導体基板上に形成されたドレイン領域(4)またはソース領域とを備えたことをその要旨とする。

【0029】請求項13に記載の発明は、半導体基板(1)上にフローティングゲート電極(8)を形成する工程と、フローティングゲート電極の側壁部にサイドウォールスペーサ(12, 13)を形成する工程と、そのサイドウォールスペーサは導電性材料から成ることと、サイドウォールスペーサとその上に形成された導電性材料膜(24)とから成る厚膜部(15)と、導電性材料膜だけから成る薄膜部(16)とを備えた選択ゲート(10)を有するコントロールゲート電極(9)を形成する工程と、フローティングゲート電極をイオン注入用マスクとして半導体基板に不純物イオンを注入してソース領域(3)またはドレイン領域を形成する工程と、コントロールゲート電極をイオン注入用マスクとして半導体基板に不純物イオンを注入してドレイン領域(4)またはソース領域を形成する際に、選択ゲートの薄膜部を不純物イオンが貫通するようにイオン注入条件を設定する工程とを備えたことをその要旨とする。

【0030】請求項14に記載の発明は、半導体基板(1)上に第1の絶縁膜(6)を形成する工程と、第1の絶縁膜上にフローティングゲート電極(8)を形成する工程と、フローティングゲート電極上に第2の絶縁膜(7)を形成する工程と、上記の工程で形成されたデバイスの上に導電性材料膜(22, 23)を形成し、その導電性材料膜をエッチバックすることで、フローティングゲート電極の側壁部にサイドウォールスペーサ(12, 13)を形成する工程と、上記の工程で形成されたデバイスの上に導電性材料膜(24)を形成し、その導電性材料膜を異方性エッチングすることで、サイドウォールスペーサとその上に形成された導電性材料膜とから成る厚膜部(15)と、導電性材料膜だけから成る薄膜部(16)とを備えた選択ゲート(10)を有するコントロールゲート電極(9)を形成する工程と、フローティングゲート電極をイオン注入用マスクとして半導体基板に不純物イオンを注入してソース領域(3)またはドレイン領域を形成する工程と、コントロールゲート電極をイオン注入用マスクとして半導体基板に不純物イオンを注入してドレイン領域(4)またはソース領域を形成する際に、選択ゲートの薄膜部を不純物イオンが貫通するようにイオン注入条件を設定する工程とを備えたことをその要旨とする。

【0031】請求項15に記載の発明は、半導体基板(1)上にフローティングゲート電極(8)を形成する工程と、フローティングゲート電極上に選択ゲート(10)を有するコントロールゲート電極(9)を形成する工程と、コントロールゲート電極をイオン注入用マスクとして半導体基板に不純物イオンを注入してドレイン領域(4)またはソース領域を形成する際に、選択ゲートの薄膜部(72)を不純物イオンが貫通するようにイオン注入条件を設定する工程とを備えたことをその要旨とする。

【0032】請求項16に記載の発明は、半導体基板(1)上に第1の絶縁膜(6)を形成する工程と、第1の絶縁膜上にフローティングゲート電極(8)を形成する工程と、フローティングゲート電極上に第2の絶縁膜(7)を形成する工程と、第2の絶縁膜上に選択ゲート(10)を有するコントロールゲート電極(9)を形成する工程と、その選択ゲートは、フローティングゲート電極の側壁部に形成された厚膜部(71)と、半導体基板上に形成された薄膜部(72)とから成ることと、フローティングゲート電極をイオン注入用マスクとして半導体基板に不純物イオンを注入してソース領域(3)またはドレイン領域を形成する工程と、コントロールゲート電極をイオン注入用マスクとして半導体基板に不純物イオンを注入してドレイン領域(4)またはソース領域を形成する際に、選択ゲートの薄膜部を不純物イオンが貫通するようにイオン注入条件を設定する工程とを備えたことをその要旨とする。

【0033】請求項17に記載の発明は、半導体基板(1)上にフローティングゲート電極(8)を形成する工程と、フローティングゲート電極上に選択ゲート(10)を有するコントロールゲート電極(9)を形成する工程と、選択ゲートの段差のコーナー部にサイドウォールスペーサ(81, 82)を形成する工程と、コントロールゲート電極をイオン注入用マスクとして半導体基板に不純物イオンを注入してドレイン領域(4)またはソース領域を形成する際に、サイドウォールスペーサおよび選択ゲートの厚膜部(71)を不純物イオンが貫通しないようにイオン注入条件を設定する工程とを備えたことをその要旨とする。

【0034】請求項18に記載の発明は、半導体基板(1)上にフローティングゲート電極(8)を形成する工程と、選択ゲート(10)を有するコントロールゲート電極(9)を形成する工程と、その選択ゲートは、フローティングゲート電極の側壁部に形成された厚膜部(71)と、半導体基板上に形成された薄膜部(72)とから成ることと、選択ゲートの厚膜部の側壁部にサイドウォールスペーサ(81, 82)を形成する工程と、フローティングゲート電極をイオン注入用マスクとして半導体基板に不純物イオンを注入してソース領域(3)またはドレイン領域を形成する工程と、コントロールゲ

ート電極をイオン注入用マスクとして半導体基板に不純物イオンを注入してドレイン領域(4)またはソース領域を形成する際に、サイドウォールスペーサおよび選択ゲートの厚膜部を不純物イオンが貫通しないようにイオン注入条件を設定する工程とを備えたことをその要旨とする。

【0035】請求項19に記載の発明は、半導体基板(1)上に第1の絶縁膜(6)を形成する工程と、第1の絶縁膜上にフローティングゲート電極(8)を形成する工程と、フローティングゲート電極上に第2の絶縁膜(7)を形成する工程と、第2の絶縁膜上に選択ゲート(10)を有するコントロールゲート電極(9)を形成する工程と、その選択ゲートは、フローティングゲート電極の側壁部に形成された厚膜部(71)と、半導体基板上に形成された薄膜部(72)とから成ることと、選択ゲートの厚膜部の側壁部にサイドウォールスペーサ(81、82)を形成する工程と、フローティングゲート電極をイオン注入用マスクとして半導体基板に不純物イオンを注入してソース領域(3)またはドレイン領域を形成する工程と、コントロールゲート電極をイオン注入用マスクとして半導体基板に不純物イオンを注入してドレイン領域(4)またはソース領域を形成する際に、サイドウォールスペーサおよび選択ゲートの厚膜部を不純物イオンが貫通しないようにイオン注入条件を設定する工程とを備えたことをその要旨とする。

【0036】請求項20に記載の発明は、請求項8～12のいずれか1項に記載のスプリットゲート型トランジスタをメモリセルとして用いることをその要旨とする。請求項21に記載の発明は、請求項13～19のいずれか1項に記載のスプリットゲート型トランジスタの製造方法によって製造されたスプリットゲート型トランジスタをメモリセルとして用いることをその要旨とする。

【0037】請求項1～8のいずれか1項に記載の発明によれば、幅の狭いゲート電極を得ることができる。請求項4または請求項5に記載の発明によれば、サイドウォールスペーサの幅の制御性および再現性が高いため、ゲート電極の幅の制御性および再現性も高くなる。

【0038】請求項7または請求項8に記載の発明によれば、層の側壁部の幅の制御性および再現性が高いため、ゲート電極の幅の制御性および再現性も高くなる。請求項13または請求項14のいずれか1項に記載の発明において、サイドウォールスペーサの幅の制御性および再現性が高いため、選択ゲートの厚膜部の幅の制御性および再現性も高くなる。そのため、選択ゲートの薄膜部を不純物イオンが貫通するようにイオン注入条件を設定することにより、選択ゲートの厚膜部を用いて自己整合的にドレイン領域またはソース領域を形成することができる。

【0039】請求項15または請求項16に記載の発明において、フローティングゲート電極の側壁部に形成さ

れる選択ゲートの厚膜部の幅の制御性および再現性が高い。そのため、選択ゲートの薄膜部を不純物イオンが貫通するようにイオン注入条件を設定することにより、選択ゲートの厚膜部を用いて自己整合的にドレイン領域を形成することができる。

【0040】請求項17～19のいずれか1項に記載の発明において、サイドウォールスペーサの幅および選択ゲートの厚膜部の幅の制御性および再現性が高い。そのため、サイドウォールスペーサおよび選択ゲートの厚膜部を不純物イオンが貫通しないようにイオン注入条件を設定することにより、サイドウォールスペーサおよび選択ゲートの厚膜部を用いて自己整合的にドレイン領域を形成することができる。

【0041】請求項20または請求項21に記載の発明によれば、微細なスプリットゲート型トランジスタをメモリセルとして用いる。

【0042】

【発明の実施の形態】

(第1実施形態)以下、本発明をスプリットゲート型メモリセルを用いたフラッシュEEPROMに具体化した第1実施形態を図面に従って説明する。

【0043】図1は、本実施形態のフラッシュEEPROMのメモリセルアレイの一部断面図である。また、図2は、図1の要部拡大図である。P型単結晶シリコン基板1上には複数のスプリットゲート型メモリセル(スプリットゲート型トランジスタ)2が配置されている。各メモリセル2は、ソース領域3、ドレイン領域4、チャネル領域5、シリコン酸化膜6、7、フローティングゲート電極8、コントロールゲート電極9から構成される。

【0044】P型単結晶シリコン基板1には、N型のソース領域3およびドレイン領域4が形成されている。ソース領域3とドレイン領域4に挟まれたチャネル領域5上には、薄いシリコン酸化膜6を介してフローティングゲート電極8が形成されている。フローティングゲート電極8上には厚いシリコン酸化膜7を介してコントロールゲート電極9が形成されている。ここで、コントロールゲート電極9の一部は、シリコン酸化膜6、7を介してチャネル領域5上に配置され、選択ゲート10を構成している。その選択ゲート10により、個々のメモリセル自身を選択するための選択トランジスタ11が構成される。尚、シリコン基板1表面において、フローティングゲート電極8の直下の部分以外の各シリコン酸化膜6、7は積層されて一体化している。ここで、選択ゲート10は、フローティングゲート電極8およびシリコン酸化膜7の側壁部に形成されたサイドウォールスペーサ12、13と、そのサイドウォールスペーサ12、13を覆うように形成された部分14とから構成される。

【0045】従って、図2に示すように、選択ゲート10において、サイドウォールスペーサ12、13および

部分14から成る部分の膜厚は、部分14だけから成る部分に比べて厚くなっている。以下、この選択ゲート10における膜厚の厚い部分（各サイドウォールスペーサ12、13および部分14から成る部分）を厚膜部15と呼び、選択ゲート10における厚膜部15以外の部分（部分14だけから成る部分）を薄膜部16と呼ぶ。

【0046】図3は、本実施形態のフラッシュEEPROMのメモリセルアレイの一部平面図である。尚、図1は、図3におけるA-A線断面である。図3に示すように、シリコン基板1上にはフィールド絶縁膜21が形成され、そのフィールド絶縁膜21によって各メモリセル2間の素子分離が行われている。図3の縦方向に配置された各メモリセル2のソース領域3は共通になっている。また、図3の縦方向に配置された各メモリセル2のコントロールゲート電極9は共通になっており、そのコントロールゲート電極9によって後記するワード線が構成される。また、図3の縦方向に配置されている各ドレイン領域4は、ビット線コンタクト28を介して後記するビット線と接続されている。

【0047】次に、本実施形態の製造方法を図4～図8に従い順を追って説明する。工程1（図4（a）参照）；選択酸化法（LOCOS：Local Oxidation on Silicon）を用い、シリコン基板1上にフィールド絶縁膜21（図示略）を形成する。次に、シリコン基板1上におけるフィールド絶縁膜21の形成されていない部分（素子領域）に、熱酸化法を用いてシリコン酸化膜6（膜厚；10～15nm程度）を形成する。

【0048】工程2（図4（b）参照）；シリコン酸化膜6上にドーパドポリシリコン膜（膜厚；200nm程度）を形成した後、通常のフォトリソグラフィ技術を用いて、フローティングゲート電極8を形成する。尚、ドーパドポリシリコン膜の形成方法には以下のものがある。

【0049】方法1；LPCVD（Low Pressure Chemical Vapor Deposition）法を用いてポリシリコン膜を形成する際に、不純物を含んだガスを混入する。

方法2；LPCVD法を用いてノンドーパのポリシリコン膜を形成した後に、ポリシリコン膜上に不純物拡散源層（POC1、など）を形成し、その不純物拡散源層からポリシリコン膜に不純物を拡散させる。

【0050】方法3；LPCVD法を用いてノンドーパのポリシリコン膜を形成した後に、不純物イオンを注入する。

工程3（図4（c）参照）；熱酸化法若しくはLPCVD法またはこれらを併用して用い、フローティングゲート電極8またはシリコン酸化膜6の上にシリコン酸化膜7（膜厚；30～40nm）を形成する。このとき、各シリコン酸化膜6、7は積層されて一体化される。

【0051】工程4（図5（a）参照）；上記の工程で形成されたデバイスの全面にドーパドポリシリコン膜2

2（膜厚；300nm程度）を形成する。

工程5（図5（b）参照）；マスクレスでRIE（Reactive Ion Etching）法を用い、ドーパドポリシリコン膜22をその堆積膜厚と同じ300nm程度だけエッチバックする。その結果、フローティングゲート電極8およびシリコン酸化膜7の側壁部（段差のコーナー部）に形成されているドーパドポリシリコン膜22だけが0.15μm程度の幅で残り、サイドウォールスペーサ12が形成される。

【0052】このとき、ドーパドポリシリコン膜22の形成条件およびRIE法の条件を同じにすれば、図2に示すサイドウォールスペーサ12の幅L3（=0.15μm）は常に同じになる。つまり、サイドウォールスペーサ12の幅L3の制御性および再現性は極めて高い。尚、後記するように、本工程は選択ゲート10に厚膜部15と薄膜部16とを形成することが目的である。従って、フローティングゲート電極8の側壁部以外の領域のドーパドポリシリコン膜22を全て除去せず、適当なエッチバック量で停止し、フローティングゲート電極8の側壁部以外にも薄いドーパドポリシリコン膜22を残しても良いことはいうまでもない。

【0053】工程6（図5（c）参照）；上記の工程で形成されたデバイスの全面にドーパドポリシリコン膜23（膜厚；300nm程度）を形成する。

工程7（図6（a）参照）；マスクレスでRIE法を用い、ドーパドポリシリコン膜23をその堆積膜厚と同じ300nm程度だけエッチバックする。その結果、サイドウォールスペーサ12上に形成されているドーパドポリシリコン膜23だけが0.15μm程度の幅で残り、サイドウォールスペーサ13が形成される。

【0054】このとき、ドーパドポリシリコン膜23の形成条件およびRIE法の条件を同じにすれば、図2に示すサイドウォールスペーサ13の幅L4（=0.15μm）は常に同じになる。つまり、サイドウォールスペーサ13の幅L4の制御性および再現性は極めて高い。

【0055】工程8（図6（b）参照）；上記の工程で形成されたデバイスの全面にドーパドポリシリコン膜24（膜厚；200nm程度）を形成する。次に、上記の工程で形成されたデバイスの全面にレジストを塗布した後、通常のフォトリソグラフィ技術を用いて、コントロールゲート電極9を形成するためのエッチング用マスク25を形成する。

【0056】工程9（図6（c）参照）；エッチング用マスク25を用いた異方性エッチングにより、ドーパドポリシリコン膜24をエッチングしてコントロールゲート電極9を形成する。この異方性エッチングにおいては、除去するドーパドポリシリコン膜24の下側にある各サイドウォールスペーサ12、13についても、ドーパドポリシリコン膜24と同時に除去する。その後、エッチング用マスク25を剥離する。

【0057】このとき、図7(a)に示すように、エッチング用マスク25の位置がフローティングゲート電極8に対して多少でもずれた場合には、図7(b)に示すように、図2に示す選択ゲート10の薄膜部16の幅L5が変わることになる。しかし、エッチング用マスク25の位置が大幅にずれ、薄膜部16が全てエッチング除去されたとしても、厚膜部15の幅L6は変わらない。厚膜部15の幅L6が変わるのは、エッチング用マスク25の位置が極端にずれ、厚膜部15の一部がエッチング除去された場合だけである。しかし、エッチング用マスク25の重ね合わせ精度は、0.1~0.2 μ m程度まで容易に得られる。そのため、エッチング用マスク25の位置が極端にずれることはなく、薄膜部16の幅L5が変わることはあっても、厚膜部15の幅L6が変わることはない。

【0058】ここで、厚膜部15の幅L6は、各サイドウォールスペース12、13の幅L3、L4とドーパドポリシリコン膜24の膜厚とによって規定される。従って、各サイドウォールスペース12、13の形成条件（ドーパドポリシリコン膜22、23の形成条件およびRIE法の条件）およびドーパドポリシリコン膜24の形成条件を同じにすれば、厚膜部15の幅L6は常に同じになる。つまり、厚膜部15の幅L6の制御性および再現性は極めて高い。

【0059】工程10（図8(a)参照）；上記の工程で形成されたデバイスの全面にレジストを塗布した後、通常のフォトリソグラフィ技術を用いて、ソース領域3を形成するためのイオン注入用マスク26を形成する。次に、通常のイオン注入法を用い、リンイオン(P⁺)を注入エネルギー；40keV程度でドーズ量；1~4 $\times 10^{15}$ atoms/cm²程度注入してソース領域3を形成する。その後、イオン注入用マスク26を剥離する。

【0060】このとき、イオン注入用マスク26は、少なくともシリコン基板1上のドレイン領域4と成る部分を覆うように形成すると共に、フローティングゲート電極8上をはみ出さないように形成する。その結果、ソース領域3の位置は、フローティングゲート電極8の端部によって規定される。

【0061】工程11（図8(b)参照）；上記の工程で形成されたデバイスの全面にレジストを塗布した後、通常のフォトリソグラフィ技術を用いて、ドレイン領域4を形成するためのイオン注入用マスク27を形成する。次に、通常のイオン注入法を用い、ヒ素イオン(As⁺)を注入エネルギー；500keV程度でドーズ量；1~4 $\times 10^{15}$ atoms/cm²程度注入する。

【0062】このとき、イオン注入用マスク27は、少なくともソース領域3を覆うように形成する。ここで、注入エネルギー；500keVにおけるヒ素イオンの注入飛程は0.3 μ m程度であるため、選択ゲート10の薄膜部16に注入されたヒ素イオンは、薄膜部16およ

びシリコン酸化膜6、7を貫通してシリコン基板1中に達し、ドレイン領域4を形成する。一方、選択ゲート10の厚膜部15に注入されたヒ素イオンは、シリコン基板1に達することなく厚膜部15中で停止する。その結果、ドレイン領域4の位置は、選択ゲート10の端部ではなく、厚膜部15の幅L6によって規定される。つまり、ドレイン領域4は厚膜部15によって自己整合的に形成される。そして、選択トランジスタ11のチャンネル長は厚膜部15の幅L6と同じになる。尚、本実施形態では、各サイドウォールスペース12、13の幅L3、L4；0.15 μ mで、ドーパドポリシリコン膜24の膜厚；200nmであるため、厚膜部15の幅L6（＝選択トランジスタ11のチャンネル長）は0.5 μ mとなる。

【0063】その後、イオン注入用マスク27を剥離すると、本実施形態のフラッシュEEPROMのメモリセルアレイが完成する。図9に、本実施形態のフラッシュEEPROM151の全体構成を示す。尚、フラッシュEEPROM151については、WO92/18980に開示されている。

【0064】メモリセルアレイ152は、複数のスプリットゲート型メモリセル2がマトリクス状に配置されて構成されている。行（ロウ）方向に配列された各メモリセル2の共通のコントロールゲート電極9は、共通のワード線WL a~WL zを構成している。列（カラム）方向に配列された各メモリセル2の共通のドレイン領域4は、共通のビット線BL a~BL zに接続されている。全てのメモリセル2のソース領域3は共通ソース線SLに接続されている。

【0065】各ワード線WL a~WL zはロウデコーダ153に接続され、各ビット線BL a~BL zはカラムデコーダ154に接続されている。外部から指定されたロウアドレスおよびカラムアドレスは、アドレスピン155に入力される。そのロウアドレスおよびカラムアドレスは、アドレスピン155からアドレスバッファ156を介してアドレスラッチ157へ転送される。アドレスラッチ157でラッチされた各アドレスのうち、ロウアドレスはロウデコーダ153へ転送され、カラムアドレスはカラムデコーダ154へ転送される。ロウデコーダ153は、そのロウアドレスに対応した1本のワード線WL a~WL zを選択し、その選択したワード線の電位を、図10に示す各動作モード（書き込みモード、消去モード、読み出しモード）に対応して制御する。カラムデコーダ154は、そのカラムアドレスに対応したビット線BL a~BL zを選択し、その選択したビット線の電位を図10に示す各動作モードに対応して制御する。

【0066】共通ソース線SLはソース線バイアス回路162に接続されている。ソース線バイアス回路162は、共通ソース線SLの電位を、図10に示す各動作モ

10

20

30

40

50

ードに対応して制御する。

【0067】外部から指定されたデータは、データピン158に入力される。そのデータは、データピン158から入力バッファ159を介してカラムデコーダ154へ転送される。カラムデコーダ154は、前記のように選択したビット線BLa~BLzの電位を、そのデータに対応して制御する。

【0068】任意のメモリセル2から読み出されたデータは、ビット線BLa~BLzからカラムデコーダ154を介してセンスアンプ群160へ転送される。センスアンプ群160は、数個のセンスアンプ(図示略)から構成されている。カラムデコーダ154は、選択したビット線BLa~BLzと各センスアンプとを接続する。センスアンプ群160で判別されたデータは、出力バッファ161からデータピン158を介して外部へ出力される。

【0069】尚、上記した各回路(153~162)の動作は制御コア回路163によって制御される。このように、本実施形態によれば以下の作用および効果を得ることができる。

【0070】(1) スプリットゲート型メモリセル2には選択トランジスタ11が設けられているため、個々のメモリセル2にそれ自身を選択する機能がある。そのため、スプリットゲート型メモリセル2を用いたフラッシュEEPROMにおいて過剰消去が発生したとしても、選択トランジスタ11によってメモリセル2の導通・非導通を制御することができる。従って、過剰消去の問題がなくなる。

【0071】(2) 厚膜部15および薄膜部16から選択ゲート10が構成される。ここで、コントロールゲート電極9を形成するためのエッチング用マスク25の位置がフローティングゲート電極8に対して極端にずれない限り、厚膜部15の幅L6は変わらない。そして、厚膜部15をイオン注入用マスクとして不純物イオンを注入することにより、ドレイン領域4が形成される。従って、図7(a)に示すように、エッチング用マスク25の位置がずれた場合でも、図7(c)に示すように、厚膜部15の幅L6によって規定されるドレイン領域4の位置がずれることはない。そして、厚膜部15の幅L6の制御性および再現性は極めて高いため、厚膜部15の幅L6と同じである選択トランジスタ11のチャンネル長は常に同じ長さになる。

【0072】つまり、本実施形態によれば、選択ゲート10に設けた厚膜部15を用いて、自己整合的にドレイン領域4を形成することで、選択トランジスタ11のチャンネル長を一定にすることができる。従って、重ね合わせ寸法精度が低い場合でも、微細なスプリットゲート型メモリセル2を容易に形成することが可能になる。

【0073】(3) 上記(1)(2)より、過剰消去の問題を解消した上で、フラッシュEEPROM151の

高集積化を図ることができる。

(第2実施形態)以下、本発明をMOSトランジスタに具体化した第2実施形態を図11に従って説明する。

【0074】図11は、本実施形態のMOSトランジスタ51の断面図である。MOSトランジスタ51は、ソース・ドレイン領域52、53、チャンネル領域54、シリコン酸化膜55、ゲート電極56から構成される。

【0075】単結晶シリコン基板57上にはソース・ドレイン領域52、53が形成されている。各ソース・ドレイン領域52、53に挟まれたチャンネル領域54上には、シリコン酸化膜55を介してゲート電極56が形成されている。ソース・ドレイン領域54上には、シリコン基板57とは逆の導電性の不純物がドーパされたドーパドポリシリコン層58が形成されている。ゲート電極56は、ドーパドポリシリコン層58の側壁部に形成されたサイドウォールスペーサから成る。

【0076】MOSトランジスタ51を製造するには、まず、シリコン基板57上にドーパドポリシリコン層58を形成する。次に、ドーパドポリシリコン層58からシリコン基板57に不純物を拡散させてソース・ドレイン領域53を形成する。続いて、上記の工程で形成されたデバイスの全面にシリコン酸化膜55を形成する。次に、上記の工程で形成されたデバイスの全面にドーパドポリシリコン膜を堆積した後、マスクレスでRIE法を用い、当該ドーパドポリシリコン膜をエッチバックする。その結果、ドーパドポリシリコン層58の側壁部に形成されたドーパドポリシリコン膜だけが残り、ゲート電極56が形成される。そして、ゲート電極56およびドーパドポリシリコン層58をイオン注入用マスクとしてシリコン基板57に不純物イオンを注入し、ソース・ドレイン領域52を形成してMOSトランジスタ51が完成する。

【0077】このように、本実施形態によれば以下の作用および効果を得ることができる。

(1) エッチバックによって形成されたサイドウォールスペーサによってゲート電極56が形成される。そのため、幅の狭いゲート電極56を容易に形成することができる。

【0078】(2) 第1実施形態におけるサイドウォールスペーサ12、13の場合と同様に、ゲート電極56の幅の制御性および再現性は極めて高い。

(3) 上記(1)(2)より、微細なMOSトランジスタ51を容易に形成することができる。

【0079】従来、MOSトランジスタを製造する際には、まず、ゲート電極の形成材料を成膜し、次に、その上にエッチング用マスクを形成し、続いて、エッチングを行うことで、所望の形状のゲート電極を形成していた。従って、幅の狭いゲート電極を形成するには、エッチング用マスクの幅を狭くしなければならない。しかし、幅の狭いエッチング用マスクを正確に形成するのは

難しく、その制御性および再現性は低かった。

【0080】それに対して、本実施形態では、ゲート電極56の形成にエッチング用マスクを用いないため、従来の問題を回避することができる。

(第3実施形態)以下、本発明をMOSトランジスタに具体化した第3実施形態を図12に従って説明する。尚、本実施形態において、第2実施形態と同じ構成部材については符号を等しくしてその詳細な説明を省略する。

【0081】図12は、本実施形態のMOSトランジスタ61の断面図である。MOSトランジスタ61は、ソース・ドレイン領域52、53、チャネル領域54、シリコン酸化膜55、ゲート電極62から構成される。ゲート電極62は、シリコン基板57上に形成された薄膜部64と、ドーパドポリシリコン層58の側壁部に形成された厚膜部63とから構成される。

【0082】MOSトランジスタ61を製造するには、まず、シリコン基板57上にドーパドポリシリコン層58を形成する。次に、ドーパドポリシリコン層58からシリコン基板57に不純物を拡散させてソース・ドレイン領域53を形成する。続いて、上記の工程で形成されたデバイスの全面にシリコン酸化膜55を形成する。次に、上記の工程で形成されたデバイスの全面にドーパドポリシリコン膜を堆積した後、エッチング用マスクを用いた異方性エッチングにより、当該ドーパドポリシリコン膜を所望の形状にエッチングしてゲート電極62を形成する。そして、ゲート電極62およびドーパドポリシリコン層58をイオン注入用マスクとしてシリコン基板57に不純物イオンを注入する。このとき、ゲート電極62の薄膜部64に注入された不純物イオンは、薄膜部64およびシリコン酸化膜55を貫通してシリコン基板57中に達し、ソース・ドレイン領域52を形成する。一方、ゲート電極62の厚膜部63に注入された不純物イオンは、シリコン基板57に達することなく厚膜部63中で停止する。つまり、ソース・ドレイン領域52は厚膜部63によって自己整合的に形成される。そして、MOSトランジスタ61のチャネル長は厚膜部63の幅と同じになる。ここで、厚膜部63の幅の制御性および再現性は極めて高いため、MOSトランジスタ61のチャネル長は常に同じになる。

【0083】このように、本実施形態によれば、第1実施形態および第2実施形態と同様の作用により、微細なMOSトランジスタ61を高い制御性および再現性で製造することができる。

【0084】(第4実施形態)以下、本発明をスプリットゲート型メモリセルを用いたフラッシュEEPROMに具体化した第4実施形態を図13および図14に従って説明する。尚、本実施形態において、第1実施形態と同じ構成部材については符号を等しくしてその詳細な説明を省略する。

【0085】図13は、本実施形態のフラッシュEEPROMのメモリセルアレイの一部断面図である。本実施形態において第1実施形態と異なるのは、各サイドウォールスペーサ12、13が省かれ、選択ゲート10となるドーパドポリシリコン膜24がフローティングゲート電極8およびシリコン酸化膜7の側壁部に直接形成されている点だけである。そのため、選択ゲート10は、シリコン基板1上に形成された薄膜部72と、フローティングゲート電極8の側壁部に形成された厚膜部71とから構成される。

【0086】本実施形態において、ドレイン領域4を形成する工程では、図14に示すように、選択ゲート10の薄膜部72に注入されたヒ素イオンが、薄膜部72およびシリコン酸化膜6、7を貫通してシリコン基板1中に達し、ドレイン領域4が形成される。一方、選択ゲート10の厚膜部71に注入されたヒ素イオンは、シリコン基板1に達することなく厚膜部71中で停止する。その結果、ドレイン領域4の位置は、選択ゲート10の端部ではなく、厚膜部71の幅によって規定される。つまり、ドレイン領域4は厚膜部71によって自己整合的に形成される。そして、選択トランジスタ11のチャネル長は厚膜部71の幅と同じになる。ここで、厚膜部71の幅の制御性および再現性は極めて高いため、選択トランジスタ11のチャネル長は常に同じになる。

【0087】このように、本実施形態によれば、第1実施形態と同様の作用および効果に加え、以下の作用および効果を得ることができる。

(1) 各サイドウォールスペーサ12、13が省かれているため、本実施形態の厚膜部71の幅は第1実施形態の厚膜部15の幅よりも狭くなる。従って、本実施形態によれば、第1実施形態よりもさらに微細なスプリットゲート型メモリセル2を得ることができる。

【0088】(2) 上記(1)より、第1実施形態よりもさらにフラッシュEEPROM151の高集積化を図ることができる。

(第5実施形態)以下、本発明をスプリットゲート型メモリセルを用いたフラッシュEEPROMに具体化した第5実施形態を図面に従って説明する。尚、本実施形態において、第4実施形態と同じ構成部材については符号を等しくしてその詳細な説明を省略する。

【0089】図15は、本実施形態のフラッシュEEPROMのメモリセルアレイの一部断面図である。本実施形態において第4実施形態と異なるのは、選択ゲート10の厚膜部71の側壁部(選択ゲート10の段差のコーナー部)にサイドウォールスペーサ81、82が形成されている点だけである。

【0090】次に、本実施形態の製造方法を図4、図16～図19に従い順を追って説明する。

工程1(図4(a)参照)～工程3(図4(c)参照)；第1実施形態の工程1～工程3と同じである。

【0091】工程4（図16（a）参照）；上記の工程で形成されたデバイスの全面にドーパドポリシリコン膜24（膜厚：200nm程度）を形成する。

工程5（図16（b）参照）；CVD法を用い、ドーパドポリシリコン膜24上にシリコン酸化膜83（膜厚：300nm程度）を形成する。

【0092】工程6（図16（c）参照）；マスクレスでRIE法を用い、シリコン酸化膜83をその堆積膜厚と同じ300nm程度だけエッチバックする。その結果、フローティングゲート電極8によって形成されるドーパドポリシリコン膜24の段差のコーナー部に形成されているシリコン酸化膜83だけが0.15μm程度の幅で残り、サイドウォールスペース81が形成される。

【0093】このとき、シリコン酸化膜83の形成条件およびRIE法の条件を同じにすれば、サイドウォールスペース81の幅は常に同じになる。つまり、サイドウォールスペース81の幅の制御性および再現性は極めて高い。

【0094】工程7（図17（a）参照）；CVD法を用い、上記の工程で形成されたデバイスの全面にシリコン酸化膜84（膜厚：300nm程度）を形成する。

工程8（図17（b）参照）；マスクレスでRIE法を用い、シリコン酸化膜84をその堆積膜厚と同じ300nm程度だけエッチバックする。その結果、サイドウォールスペース81上に形成されているシリコン酸化膜84だけが0.15μm程度の幅で残り、サイドウォールスペース82が形成される。

【0095】ここで、サイドウォールスペース81と同様に、サイドウォールスペース82の幅の制御性および再現性も極めて高い。

工程9（図18（a）参照）；コントロールゲート電極9を形成するためのエッチング用マスク25を形成する。

【0096】工程10（図18（b）参照）；エッチング用マスク25を用いた等方性エッチングなどにより、各サイドウォールスペース81、82を除去する。次に、エッチング用マスク25を用いた異方性エッチングにより、ドーパドポリシリコン膜24をエッチングしてコントロールゲート電極9を形成する。その後、エッチング用マスク25を剥離する。

【0097】このとき、エッチング用マスク25の位置がフローティングゲート電極8に対して多少でもずれた場合には、選択ゲート10の薄膜部72の幅が変わることになる。しかし、エッチング用マスク25の位置が極端にずれない限り、各サイドウォールスペース81、82がエッチングされることはなく、各サイドウォールスペース81、82の幅が変わることはない。

工程11（図19（a）参照）；第1実施形態の工程10と同じである。

【0098】工程12（図19（b）参照）；第1実施

形態の工程11と同じである。このとき、イオン注入用マスク27は、少なくともソース領域3を覆うように形成する。ここで、注入エネルギー；500keVにおけるヒ素イオンの注入飛程は0.3μm程度であるため、選択ゲート10の薄膜部72におけるサイドウォールスペース81、82からはみ出している部分85に注入されたヒ素イオンは、薄膜部72およびシリコン酸化膜6、7を貫通してシリコン基板1中に達し、ドレイン領域4を形成する。一方、選択ゲート10の厚膜部71およびサイドウォールスペース81、82に注入されたヒ素イオンは、シリコン基板1に達することなく各部71、72、81、82中で停止する。その結果、ドレイン領域4の位置は、選択ゲート10の端部ではなく、選択ゲート10の厚膜部71およびサイドウォールスペース81、82の幅によって規定される。つまり、ドレイン領域4は厚膜部71およびサイドウォールスペース81、82によって自己整合的に形成される。

【0099】その後、イオン注入用マスク27を剥離すると、本実施形態のフラッシュEEPROMのメモリセルアレイが完成する。このように、本実施形態によれば、第1実施形態と同様の作用および効果に加え、以下の作用および効果を得ることができる。

【0100】（1）選択ゲート10の厚膜部71およびサイドウォールスペース81、82をイオン注入用マスクとして不純物イオンを注入することにより、ドレイン領域4が形成される。従って、エッチング用マスク25の位置がずれた場合でも、厚膜部71およびサイドウォールスペース81、82の幅によって規定されるドレイン領域4の位置がずれることはない。そして、厚膜部71の幅およびサイドウォールスペース81、82の幅の制御性および再現性は極めて高い。そのため、選択トランジスタ11のチャンネル長は常に同じ長さになる。

【0101】つまり、本実施形態によれば、選択ゲート10の厚膜部71およびサイドウォールスペース81、82を用いて、自己整合的にドレイン領域4を形成することで、選択トランジスタ11のチャンネル長を一定にすることができる。従って、重ね合わせ寸法精度が低い場合でも、微細なスプリットゲート型メモリセル2を容易に形成することが可能になる。

【0102】（2）上記（1）より、第1実施形態と同様に、フラッシュEEPROM151の高集積化を図ることができる。

（3）各サイドウォールスペース81、82は選択ゲート10の上部に形成されており、各サイドウォールスペース81、82は選択ゲート10の一部を構成してはいない。そのため、各サイドウォールスペース81、82を導電物で形成する必要はなく、どのような材質で形成してもよい。上記実施形態では、シリコン酸化膜83、84によって各サイドウォールスペース81、82を形成したが、それ以外の材質としては、シリコン窒化膜、

10

20

30

40

50

ドーパドポリシリコン膜、ノンドーパのポリシリコン膜などがある。また、その形成方法としては、CVD法やPVD (Physical Vapor Deposition) 法がある。

【0103】それに対して、第1実施形態では、各サイドウォールスペーサ12、13が部分14の下側に形成されており、各サイドウォールスペーサ12、13は選択ゲート10の一部を構成している。そのため、各サイドウォールスペーサ12、13を導電物で形成する必要がある。また、選択ゲート10中を電子が移動するため、各サイドウォールスペーサ12、13および部分14の材質は同じであることが望ましい。

【0104】つまり、本実施形態では、各サイドウォールスペーサ81、82の材質の選択範囲が広いことから、第1実施形態に比べて製造が容易になる。尚、上記各実施形態は以下のように変更してもよく、その場合でも同様の作用および効果を得ることができる。

【0105】(1) 第1実施形態において、各サイドウォールスペーサ12、13は、選択ゲート10の厚膜部15の幅L6を所望の値にするために設けられている。従って、サイドウォールスペーサ12の幅L3を広くしてサイドウォールスペーサ13を省いてもよい。また、2つのサイドウォールスペーサ12、13を設けるのではなく、3つ以上のサイドウォールスペーサを設けるようにしてもよい。その場合には、形成したいサイドウォールスペーサの数だけ、前記工程4および工程5を繰り返せばよい。

【0106】(2) 第5実施形態において、サイドウォールスペーサ81の幅を広くしてサイドウォールスペーサ82を省いてもよい。また、2つのサイドウォールスペーサ81、82を設けるのではなく、3つ以上のサイドウォールスペーサを設けるようにしてもよい。その場合には、形成したいサイドウォールスペーサの数だけ、前記工程7および工程8を繰り返せばよい。

【0107】(3) 第1、第4、第5実施形態において、各シリコン酸化膜6、7をそれぞれ、シリコン窒化膜などの他の絶縁膜に置き代える。また、これらの異なる絶縁膜を複数積層した構造に置き代える。

【0108】(4) 第2、第3実施形態において、シリコン酸化膜55を、シリコン窒化膜などの他の絶縁膜に置き代える。また、これらの異なる絶縁膜を複数積層した構造に置き代える。つまり、MOSトランジスタではなく、MISトランジスタに適用してもよい。

【0109】(5) 第1、第4、第5実施形態において、各サイドウォールスペーサ12、13、部分14、フローティングゲート電極8、コントロールゲート電極9の材質をそれぞれ、ドーパドポリシリコン以外の導電性材料（高融点金属を含む各種金属、シリサイドなど）に置き代える。

【0110】(6) 第2、第3実施形態において、ゲート電極56、62の材質をそれぞれ、ドーパドポリシリ

コン以外の導電性材料（高融点金属を含む各種金属、シリサイドなど）に置き代える。つまり、MOSトランジスタではなく、IGFETに適用してもよい。

【0111】(7) 第2、第3実施形態において、シリコン酸化膜55を省く。つまり、MOSトランジスタではなく、JEETに適用してもよい。

(8) 第2、第3実施形態において、ドーパドポリシリコン層58を、不純物拡散源として用いられる適宜な材質（POC1、PSG (Phospho Silicate Glass)、BSG (Boro Silicate Glass)、AsSG (Arsenic Silicate Glass) など）から成る層に置き代える。

【0112】(9) 第1実施形態において、選択ゲート10から薄膜部16を省く。また、第4実施形態において、選択ゲート10から薄膜部72を省く。各薄膜部16、72は不純物イオンが貫通するため特に設ける必要はない。しかし、重ね合わせ寸法精度の精度を考慮して薄膜部16、72を設けておけば、コントロールゲート電極9を形成するためのエッチング用マスク25の位置がずれたとしても、選択ゲート10の幅を一定にすることができる。

【0113】(10) 第3実施形態において、ゲート電極62から薄膜部64を省く。薄膜部64は不純物イオンが貫通するため、特に設ける必要はない。しかし、重ね合わせ寸法精度の精度を考慮して薄膜部64を設けておけば、ゲート電極62を形成するためのエッチング用マスクの位置がずれたとしても、ゲート電極62の幅を一定にすることができる。

【0114】(11) 第1、第4、第5実施形態において、P型単結晶シリコン基板1をP型ウェルに置き代える。

(12) 第1、第4、第5実施形態において、ソース領域3を形成するために注入する不純物イオンを、リンイオン以外のN型不純物イオン（ヒ素、アンチモンなど）に置き代える。また、ドレイン領域4を形成するために注入する不純物イオンを、ヒ素イオン以外のN型不純物イオン（リン、アンチモンなど）に置き代える。

【0115】(13) 第1、第4、第5実施形態において、P型単結晶シリコン基板1をN型単結晶シリコン基板またはN型ウェルに置き換え、ソース領域3およびドレイン領域を形成するために注入する不純物イオンとしてP型不純物イオン（ホウ素、インジウムなど）を用いる。

【0116】(14) 第1、第4、第5実施形態において、スプリットゲート型メモリセル2のソース領域3をドレイン領域とし、ドレイン領域4をソース領域とする。図20に、この場合のフラッシュEEPROM171の全体構成を示す。尚、フラッシュEEPROM171については、USP-5029130に開示されている。

【0117】フラッシュEEPROM171においてフ

ラッシュEEPROM151と異なるのは、以下の点だけである。

〔1〕列方向に配列された各メモリセル2の共通のソース領域3はドレイン領域として機能し、共通のビット線BLa～BLzに接続されている。全てのメモリセル2のドレイン領域4はソース領域として機能し、共通ソース線SLに接続されている。

〔0118〕〔2〕ソース線バイアス回路162は省かれており、共通ソース線SLは接地されている。図21に、フラッシュEEPROM171の各動作モード（書き込みモード、消去モード、読み出しモード）における、共通ソース線SL、ビット線BLa～BLz、ワード線WLa～WLzの電位を示す。

〔0119〕以上、各実施形態について説明したが、各実施形態から把握できる請求項以外の技術的思想について、以下にそれらの効果と共に記載する。

（イ）請求項9～12のいずれか1項に記載のスプリットゲート型トランジスタにおいて、選択ゲートを有する選択トランジスタ（11）を備えたスプリットゲート型トランジスタ。

〔0120〕（ロ）請求項13～19のいずれか1項に記載のスプリットゲート型トランジスタの製造方法において、選択ゲートを有する選択トランジスタ（11）を備えたスプリットゲート型トランジスタの製造方法。

〔0121〕上記（イ）（ロ）のようにすれば、請求項23または請求項24に記載の半導体メモリを実現した場合、過剰消去が発生したとしても、選択トランジスタによってメモリセルの導通・非導通を制御することができる、過剰消去の問題を回避することができる。

〔0122〕ところで、本明細書において、発明の構成に係る部材は以下のように定義されるものとする。

（a）半導体基板とは、単結晶シリコン基板だけでなくウェルをも含むものとする。

〔0123〕（b）不純物拡散源層とは、ドーパドポリシリコンから成る層だけでなく、PSG、BSG、AsSGなどから成る層をも含むものとする。

（c）導電性材料膜とは、ドーパドポリシリコン膜だけでなく、高融点金属を含む各種金属膜やシリサイド膜などをも含むものとする。

〔0124〕

【発明の効果】請求項1に記載の発明によれば、微細なトランジスタを備えた半導体装置を提供することができる。

〔0125〕請求項2、3、6のいずれか1項に記載の発明によれば、微細なIGFETを備えた半導体装置を提供することができる。請求項4、5、7、8のいずれか1項に記載の発明によれば、微細なIGFETを備えた半導体装置の製造方法を提供することができる。

〔0126〕請求項9～12のいずれか1項に記載の発明によれば、微細なスプリットゲート型トランジスタを

提供することができる。請求項13～19のいずれか1項に記載の発明によれば、微細なスプリットゲート型トランジスタの製造方法を提供することができる。

〔0127〕請求項20または請求項21に記載の発明によれば、過剰消去の問題がなく高集積化が可能な不揮発性半導体メモリを提供することができる。

【図面の簡単な説明】

【図1】第1実施形態の一部断面図。

【図2】第1実施形態の要部断面図。

【図3】第1実施形態の一部平面図。

【図4】第1実施形態の製造工程を説明するための断面図。

【図5】第1実施形態の製造工程を説明するための断面図。

【図6】第1実施形態の製造工程を説明するための断面図。

【図7】第1実施形態の製造工程を説明するための断面図。

【図8】第1実施形態の製造工程を説明するための断面図。

【図9】第1、第4、第5実施形態のブロック回路図。

【図10】第1、第4、第5実施形態の動作を説明するための説明図。

【図11】第2実施形態の断面図。

【図12】第3実施形態の断面図。

【図13】第4実施形態の一部断面図。

【図14】第4実施形態の製造工程を説明するための断面図。

【図15】第5実施形態の一部断面図。

【図16】第5実施形態の製造工程を説明するための断面図。

【図17】第5実施形態の製造工程を説明するための断面図。

【図18】第5実施形態の製造工程を説明するための断面図。

【図19】第5実施形態の製造工程を説明するための断面図。

【図20】第1、第4、第5実施形態のブロック回路図。

【図21】第1、第4、第5実施形態の動作を説明するための説明図。

【図22】従来の形態の断面図。

【図23】従来の形態の断面図。

【図24】従来の形態の断面図。

【符号の説明】

1…P型単結晶シリコン基板

2…スプリットゲート型メモリセル（スプリットゲート型トランジスタ）

3…ソース領域

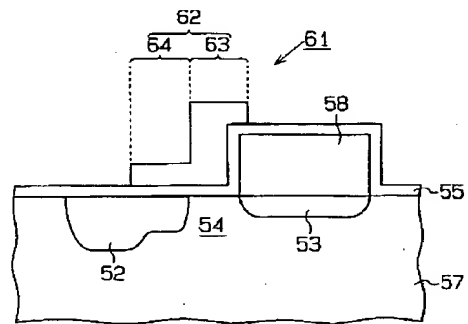
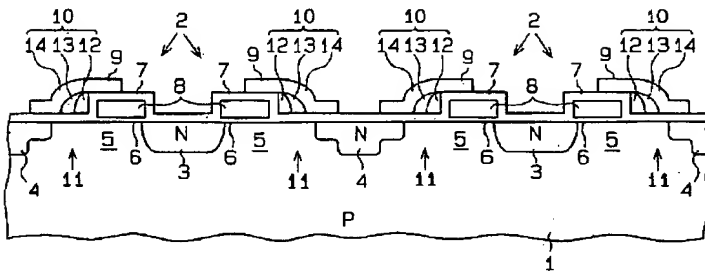
4…ドレイン領域

5, 54...チャネル領域
 6...第1の絶縁膜としてのシリコン酸化膜
 7...第2の絶縁膜としてのシリコン酸化膜
 8...フローティングゲート電極
 9...コントロールゲート電極
 10...選択ゲート
 11...選択トランジスタ

* 12, 13...サイドウォールスペーサ
 15, 63, 71...厚膜部
 16, 64, 72...薄膜部
 51, 61...MOSトランジスタ
 52, 53...ソース・ドレイン領域
 55...ゲート絶縁膜としてのシリコン酸化膜
 * 56, 62...ゲート電極

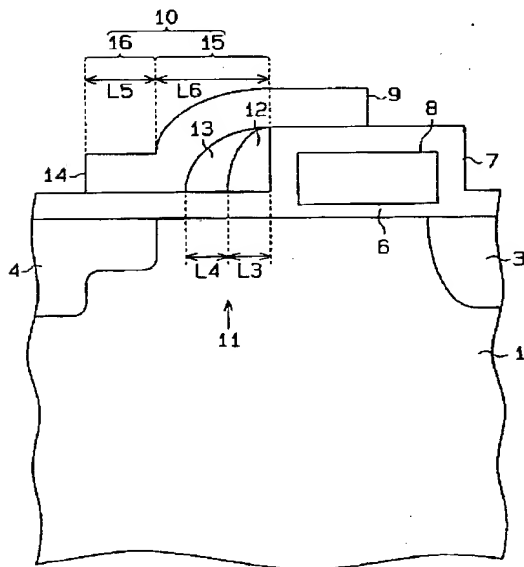
【図1】

【図12】



【図2】

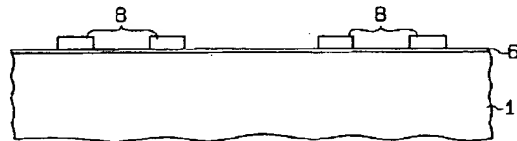
【図4】



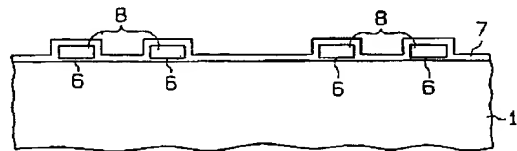
(a)



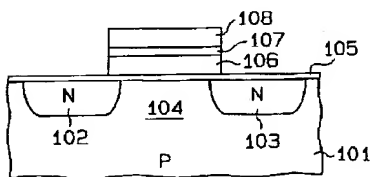
(b)



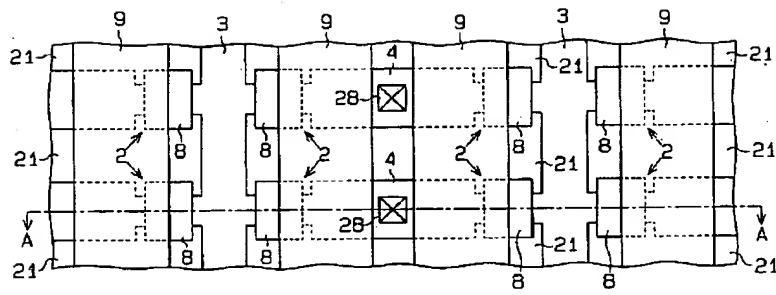
(c)



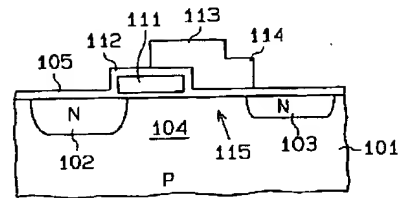
【図22】



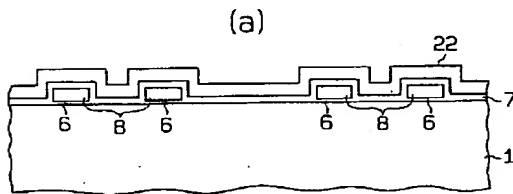
【図3】



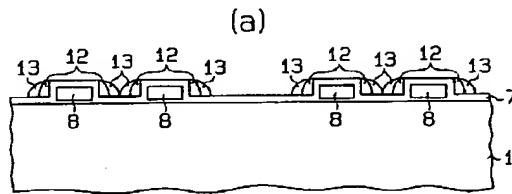
【図23】



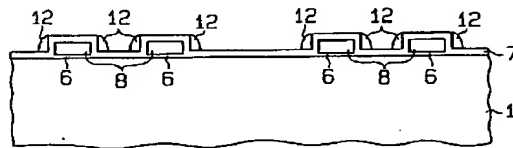
【図5】



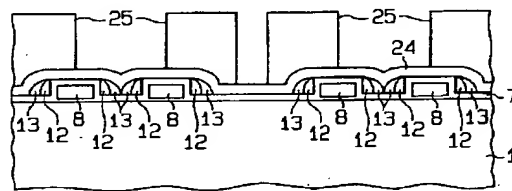
【図6】



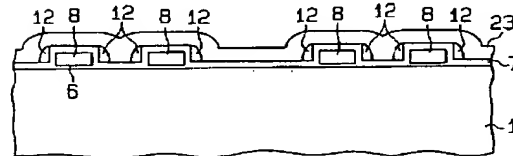
(b)



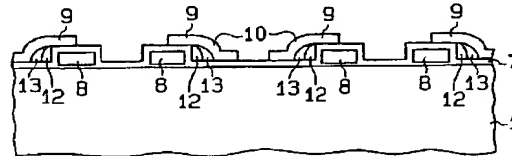
(b)



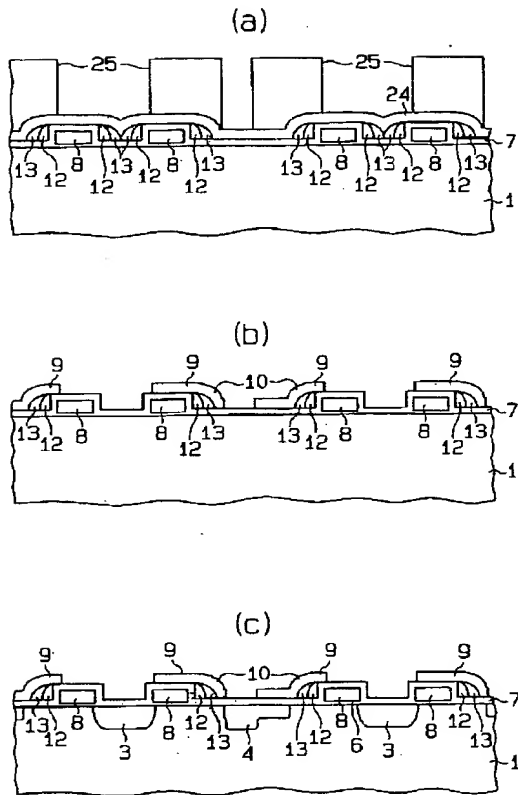
(c)



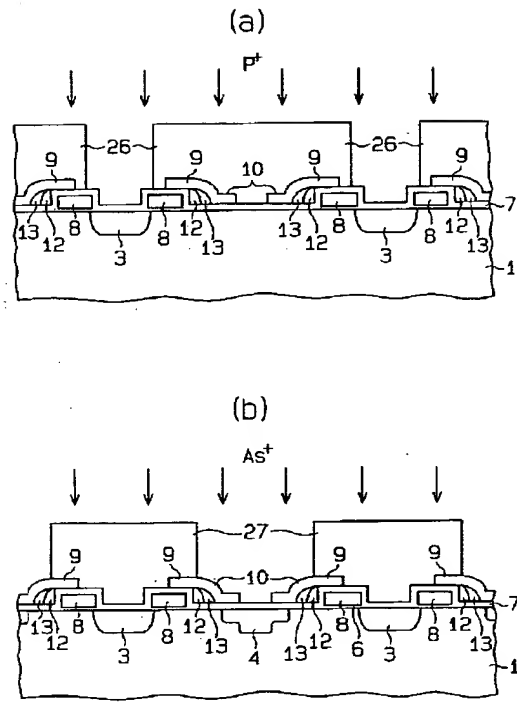
(c)



【図7】



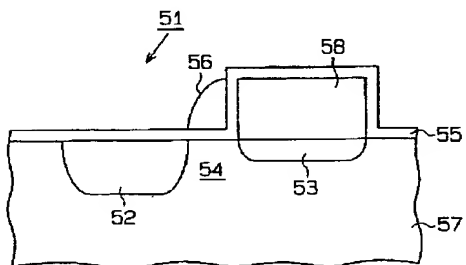
【図8】



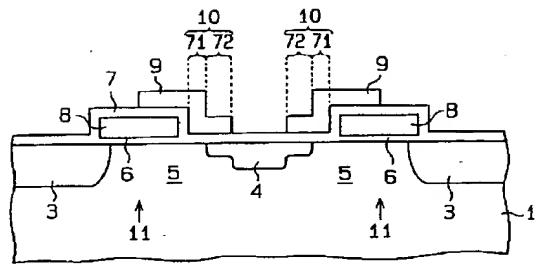
【図10】

動作モード	共通ソース線 SL (ソース領域3)	ビット線 BLa~BLZ (ドレイン領域4)	ワード線 WLa~WLZ (コントロールゲート9)
書き込みモード	12V	0V	2V
消去モード	0V	0V	14~15V
読み出しモード	0V	2V	4V

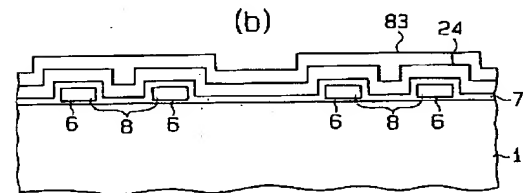
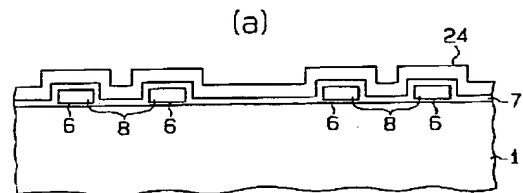
【図11】



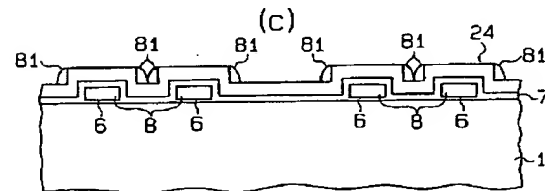
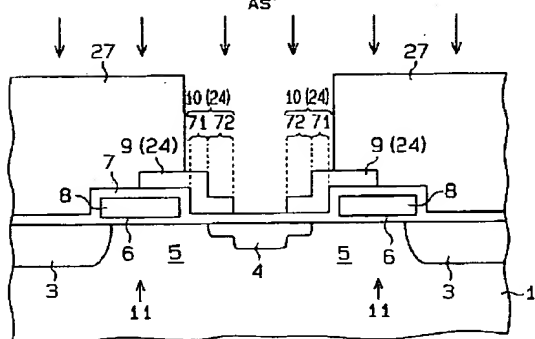
【圖 13】



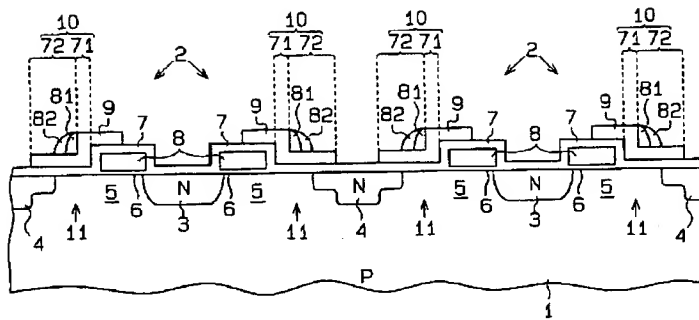
【図 16】



【図 14】

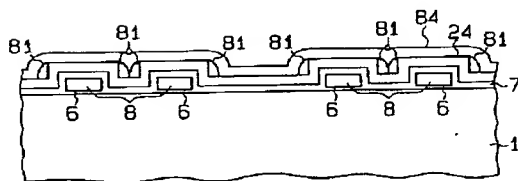


【図15】

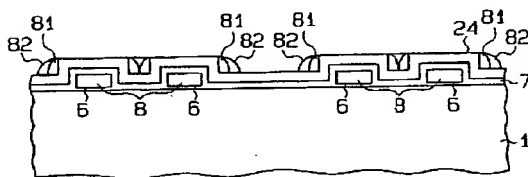


【図17】

(a)

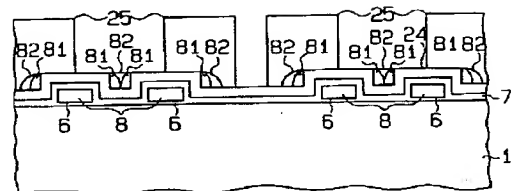


(b)

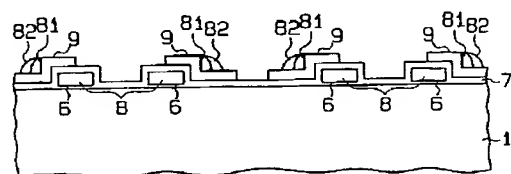


【図18】

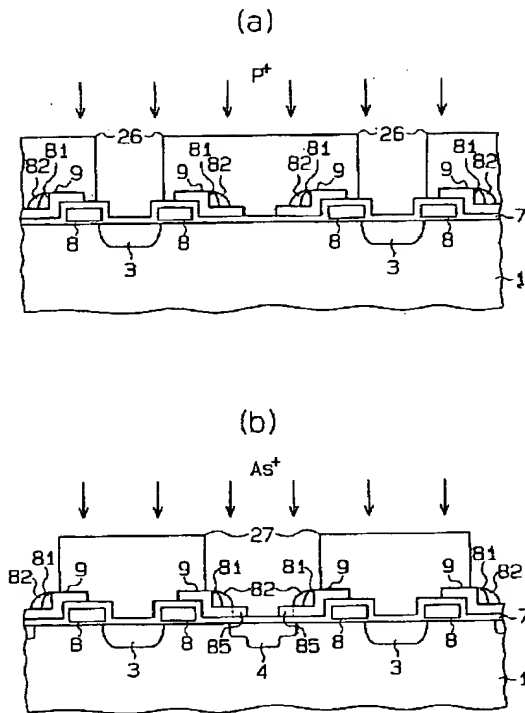
(a)



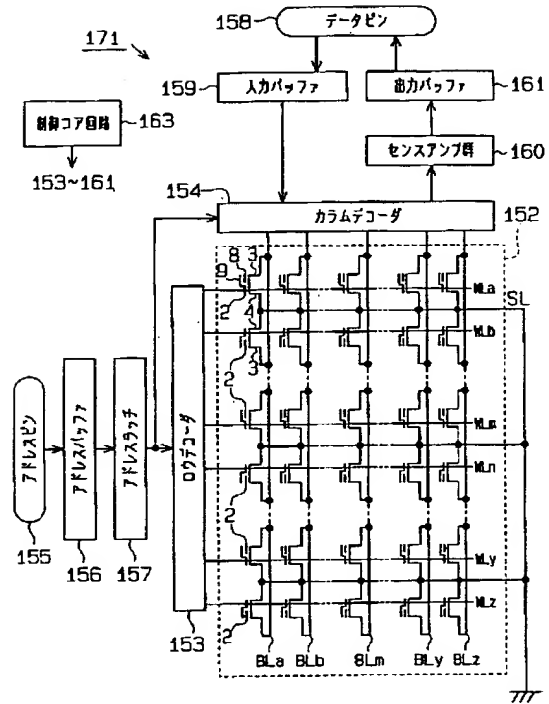
(b)



【図19】



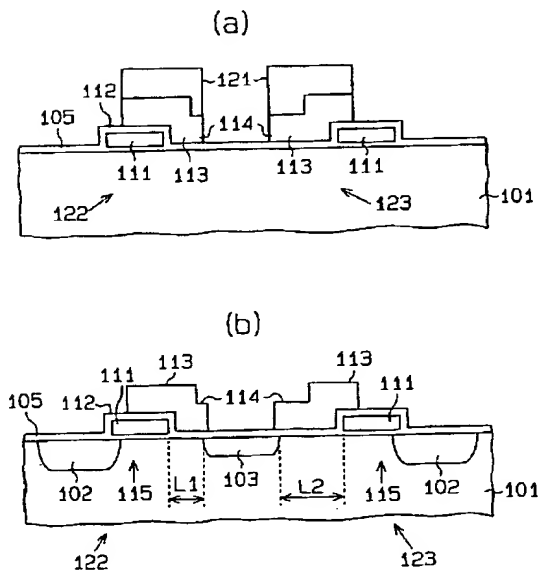
【図20】



【図21】

動作モード	共通ソース線 SL (ドレイン領域4) [ソース領域]	ビット線 BL _a ~BL _z (ソース領域3) [ドレイン領域]	ワード線 WL _a ~WL _z (コントロールゲート 電極9)
書き込みモード	0V	12V	2V
消去モード	0V	0V	14~15V
読み出しモード	0V	2V	4V

【図24】



(22)

特開平 8 - 2 9 3 5 6 6

フロントページの続き

(51)Int.Cl.⁵
H 0 1 L 27/115

識別記号

庁内整理番号

F I

技術表示箇所